

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060642

(43)Date of publication of application : 06.03.2001

(51)Int.Cl.

H01L 23/28
H01L 21/60
H01L 21/3205

(21)Application number : 11-233258

(71)Applicant : SONY CORP

(22)Date of filing : 19.08.1999

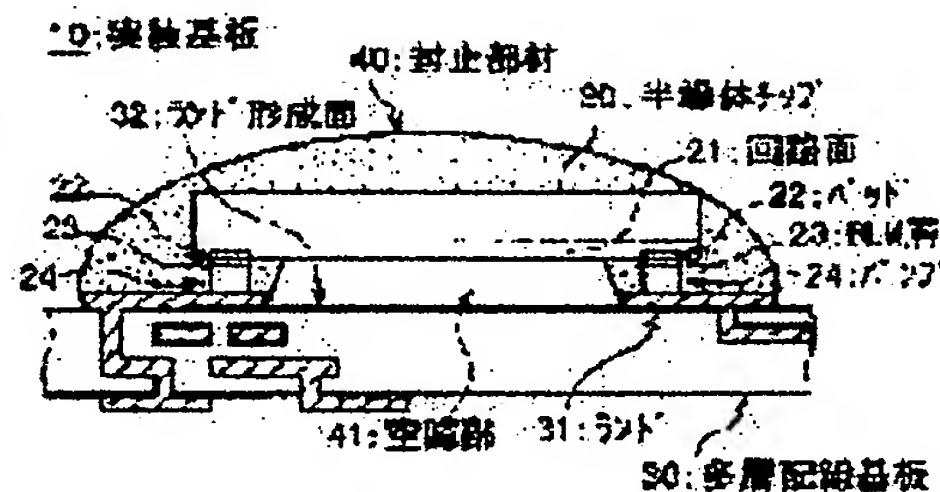
(72)Inventor : OKUHORA AKIHIKO

(54) SEMICONDUCTOR CHIP MOUNTING METHOD, SEMICONDUCTOR, AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a semiconductor device to be enhanced in mounting density and to operate at a high speed and high frequencies, without deteriorating its characteristics.

SOLUTION: When a semiconductor chip 20 is mounted on a wiring board 30 facing downward, a sacrificial layer which is capable of disappearing and provided on a wiring board 30, confronting a circuit surface 21 of the semiconductor chip 20, the sacrificial layer is made to disappear after the semiconductor chip 20 is mounted on the wiring board 30, and a cavity 41 is formed between the wiring board 30 and the circuit surface 21 of the semiconductor chip 20. The cavity 41 is formed as was described, by which the semiconductor chip 20 is capable of operating at a high speed and high frequencies, without incurring increase in capacity or a propagation mode change in surface acoustic waves due to a sealing member which coats the semiconductor chip 20.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-60642

(P 2001-60642 A)

(43) 公開日 平成13年3月6日 (2001. 3. 6)

(51) Int. Cl. ⁷	識別記号		F I		テーマコード [*] (参考)	
H O 1 L	23/28		H O 1 L	23/28	Z	4M109
	21/60	3 1 1		21/60	3 1 1 S	5F033
	21/3205			21/88	T	5F044

審査請求 未請求 請求項の数 1 2 O L

(全 1 0 頁)

(21) 出願番号 特願平11-233258

(22) 出願日 平成11年8月19日 (1999. 8. 19)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 奥洞 明彦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100090376

弁理士 山口 邦夫 (外1名)

最終頁に続く

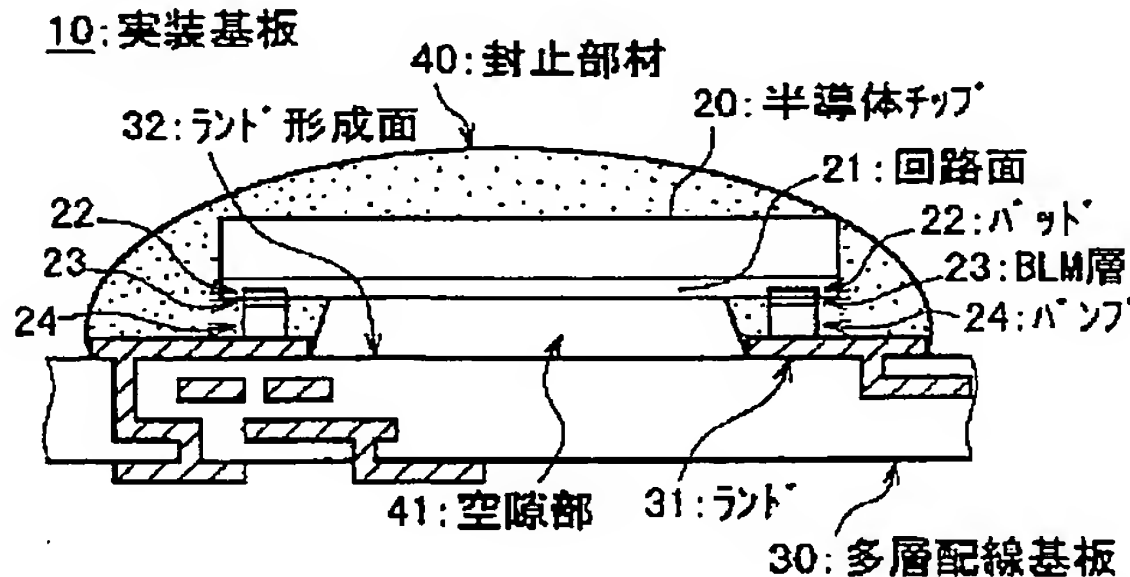
(54) 【発明の名称】 半導体チップの実装方法と半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 特性の劣化を招くことなく高密度実装を達成し、高速・高周波動作を可能とする。

【解決手段】 配線基板 30 に半導体チップ 20 をフェースダウンとして実装する際に、半導体チップ 20 の回路面 21 と対向する配線基板 30 の位置に消失可能な犠牲層を設け、配線基板 30 に半導体チップ 20 を実装したのち犠牲層を消失させて、配線基板 30 と半導体チップ 20 の回路面 21 間に空隙部 41 を形成する。このように空隙部 41 を形成することで、半導体チップ 20 をコーティングする封止部材によって容量成分の増加や表面音波の伝搬モードの変化等を招くことがなく、高速・高周波動作を可能とする。

実装基板の構成



【特許請求の範囲】

【請求項 1】 配線基板上に半導体チップをフェースダウンとして実装する際に、前記半導体チップの回路面と対向する前記配線基板上の位置に消失可能な犠牲層を設け、前記配線基板上に前記半導体チップを実装したのち前記犠牲層を消失させて、前記配線基板と前記半導体チップの回路面間に空隙部を形成することを特徴とする半導体チップの実装方法。

【請求項 2】 前記犠牲層は、加熱処理によって分解昇華して消失される材料を用いて形成することを特徴とする請求項 1 記載の半導体チップの実装方法。

【請求項 3】 前記犠牲層は、加熱処理によって溶融して消失される材料を用いて形成することを特徴とする請求項 1 記載の半導体チップの実装方法。

【請求項 4】 前記配線基板上に前記半導体チップを実装して樹脂でコーティングすると共に、コーティング後に前記犠牲層を消失させるものとし、前記樹脂中にフィラーを分散させると共に、前記フィラーとして電波吸収材料の粉末を用いることを特徴とする請求項 1 記載の半導体チップの実装方法。

【請求項 5】 前記配線基板上に前記半導体チップを実装して第 1 の樹脂でコーティングすると共に、コーティング後に前記犠牲層を消失させて、前記配線基板と前記半導体チップの回路面間に空隙部を形成するものとし、前記空隙部を形成したのち第 2 の樹脂でコーティングすると共に、前記配線基板の半導体チップ搭載面とは異なる面に導電部材を用いた接続部を形成することを特徴とする請求項 1 記載の半導体チップの実装方法。

【請求項 6】 前記第 3 の樹脂中にフィラーを分散させると共に、前記フィラーとして電波吸収材料の粉末を用いることを特徴とする請求項 5 記載の半導体チップの実装方法。

【請求項 7】 複数の半導体チップに分割される前の半導体ウェハー状態で、チップ単位で所望の位置に突起電極と消失可能な犠牲層を設けるものとし、前記突起電極と前記犠牲層が設けられた前記半導体ウェハー上を樹脂でコーティングし、前記樹脂の前記突起電極の位置に開口部を設けて前記突起電極上に少なくとも 1 層以上の配線を形成すると共に前記犠牲層を消失させるものとし、前記配線上に導電部材を用いた接続部を形成すると共に前記半導体ウェハーを前記複数の半導体チップに分割することを特徴とする半導体装置の製造方法。

【請求項 8】 前記犠牲層は、加熱処理によって分解昇華して消失される材料を用いて形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記犠牲層は、加熱処理によって溶融して消失される材料を用いて形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 10】 配線基板上にフェースダウンで実装された半導体チップと、前記配線基板と前記半導体チップとの接続部分を封止する封止部とを有し、前記配線基板と前記半導体チップとの間に空隙部を設けたことを特徴とする半導体装置。

【請求項 11】 前記封止手段は、第 1 の樹脂と該第 1 の樹脂の外側に位置する第 2 の樹脂で構成されて、前記配線基板の半導体チップ搭載面とは異なる面には、導電部材を用いた接続部を有することを特徴とする請求項 10 記載の半導体装置。

【請求項 12】 半導体チップ上に突起電極を有し、前記突起電極上には絶縁層を介して少なくとも 1 層以上の配線を有し、前記配線上の所望の位置には導電部材を用いて形成された接続部を有し、前記半導体チップと前記絶縁層との間には空隙部を設けたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体チップの実装方法と半導体装置の製造方法および半導体装置に関する。詳しくは、半導体チップの回路面側に空隙部を有するよう実装することで、高周波特性を損なうことなく安価に半導体装置を提供するものである。

【0002】

【従来の技術】近年、情報通信技術の進展に伴い、移動体通信機器や総合ディジタル通信サービス網(ISDN: Integrated Services Digital Network)あるいはコンピュータ装置等の様々な機器に、無線あるいは有線で高速にデータ等を伝送するための回路ブロックが搭載されるようになってきている。

【0003】このような回路ブロックを機器に搭載する際には、高速にデータ等を伝送できるだけでなくノイズ等を考慮した構成、および小型化や軽量化等の要求がなされている。このような要求から、上述のような回路ブロックを実装する技術として、マルチチップモジュール(MCM: Multi-chip-module)やフリップチップ実装等のベアチップ実装が注目されている。

【0004】例えば、フリップチップ実装は、半導体チップの回路面に設けられている電極(パッド)上に、はんだ等を用いて突起状電極(以下「バンパ」という)を形成し、このバンパを絶縁基板やパッケージ等に設けられている配線用電極と対向させて、半導体チップのバンパと対応する配線用電極とを接続するものである。このため、ワイヤボンディング(Wire bonding)法等の手法に比べて、バンパと配線用電極間の長さを短くすることが可能となり、接合部分でのインダクタンスや容量を低いものとすることができ、高速・高周波動作に適した特性を得ることができる。

【0005】図8は、半導体チップ110を配線基板120にフリップチップ実装した従来の実装基板100を示している。半導体チップ110が搭載される配線基板120としては、ガラスエポキシやガラスポリイミド等の有機基板、アルミナ又はムライト等のセラミック基板、Cuポリイミド配線等をほどこしたシリコン基板等が用いられる。

【0006】半導体チップ110の回路面には、例えばアルミニウムでパッド111が形成されると共に、このパッド111上には例えばチタンや白金、金の金属皮膜層が順次形成されて、BLM(Ball Limiting Metal)層112が設けられており、このBLM層112上には、高融点はんだ等を用いてバンプ113が形成される。なお、BLM層112は、バンプ113のパッド111への相互拡散を防止するためのものである。また、配線基板120の配線用電極121には共晶はんだ（図示せず）がプリコートされる。

【0007】ここで、配線基板120上に半導体チップ110が例えばフェースダウンで載置される。このとき、半導体チップ110のバンプ113は、配線基板120の所定の配線用電極121上に位置するものとされる。その後、配線基板120上に半導体チップ110が載置された状態で、高融点はんだが溶融しないと共に共晶はんだは溶融する温度に加熱されて、この溶融された共晶はんだによってバンプ113と配線用電極121がはんだ接続される。

【0008】また、半導体チップ110を配線基板120に搭載後、半導体チップ110を動作させると、半導体チップ110で発生した熱によって半導体チップ110や配線基板120が熱膨張を生ずる。このため、半導体チップ110や配線基板120の熱膨張係数が異なる場合であっても、半導体チップ110で発生した熱によってバンプ113に応力が集中しないようにストレスの緩和、および水分や不純物等から半導体チップ110の回路面を保護すること等を目的として、絶縁性樹脂130が充填されている。

【0009】

【発明が解決しようとする課題】ところで、上述の図8に示すように、半導体チップ110と配線基板120との間隙に絶縁性樹脂130を充填すると、半導体チップ110の回路面が絶縁性樹脂130で覆われる事となり、例えば容量成分の増加等を招き、インピーダンス変化が生じてしまい、高速・高周波動作に適した特性を得ることができなくなってしまう。特に、MMIC(Monolithic Microwave Integrated Circuit)や高速デジタルIC等のマイクロストリップ(Microstrip)線路やコプレーナ(Coplanar)線路においては、絶縁性樹脂で覆われることにより伝送線路のインピーダンスが変化してインピーダンスマッチングを損ない、ゲイン特性を悪化させてしまう場合がある。また、MMICや高速デジタルI

Cでは、予め回路面に形成されている渦巻き状のインダクタ等の受動素子の定数が変化してしまう。さらに、浮遊容量が増加して誘電損失を生じると共に負荷特性が悪化することにより、高速・高周波動作に適した特性を得ることができなくなってしまう。

【0010】また、半導体チップ110の回路面に形成された電界効果トランジスタでは、半導体チップ110の回路面が絶縁性樹脂130で覆われる事によりゲート容量が増加することからノイズ特性の悪化を招いてしまう。さらに、回路面に表面音波の伝搬特性を利用した弾性表面波(SAW:Surface Acoustic Wave)フィルタを形成した場合は、表面が絶縁性樹脂130で覆われる事により表面音波の伝搬モードが変化してフィルタ特性が悪化してしまう。

【0011】そこで、この発明では、特性の劣化を招くことなく高密度実装を達成し、高速・高周波動作に適した半導体チップの実装方法と半導体装置の製造方法および半導体装置を提供するものである。

【0012】

【課題を解決するための手段】この発明に係る半導体チップの実装方法は、半導体チップの回路面と対向する配線基板上の位置に消失可能な犠牲層を設け、配線基板上に半導体チップを実装したのち犠牲層を消失させて、配線基板と半導体チップの回路面間に空隙部を形成するものである。

【0013】また、半導体装置の製造方法は、複数の半導体チップに分割される前の半導体ウェハー状態で、チップ単位で所望の位置に突起電極と消失可能な犠牲層を設けるものとし、突起電極と前記犠牲層が設けられた半導体ウェハー上を樹脂でコーティングし、樹脂の突起電極の位置に開口部を設けて突起電極上に少なくとも1層以上の配線を形成すると共に犠牲層を消失させるものとし、配線上に導電部材を用いた接続部を形成すると共に半導体ウェハーを複数の半導体チップに分割するものである。

【0014】また、半導体装置は、配線基板上にフェースダウンで実装された半導体チップと、配線基板と半導体チップとの接続部分を封止する封止部とを有し、配線基板と半導体チップとの間に空隙部を設けたものである。

【0015】また、半導体装置は、半導体チップ上に突起電極を有し、突起電極上には絶縁層を介して少なくとも1層以上の配線を有し、配線上の所望の位置には導電部材を用いて形成された接続部を有し、半導体チップと絶縁層との間には空隙部を設けたものである。

【0016】この発明においては、配線基板上に半導体チップをフェースダウンとして実装する際に、半導体チップの回路面と対向する配線基板上の位置に、加熱処理によって分解昇華して消失される材料や加熱処理によって溶融して消失される材料を用いて犠牲層が形成され

る。このように犠牲層が形成された配線基板上に半導体チップが実装されて樹脂でコーティングされると共に、コーティング後に犠牲層が消失されて、配線基板と半導体チップの回路面間に空隙部が形成される。また、配線基板の半導体チップ搭載面とは異なる面に導電部材、例えば半田を用いた接続部が形成される。さらに、樹脂としては例えば電波吸収材料の粉末である磁性粉をフィラーとして分散させたものが用いられる。

【0017】また、複数の半導体チップに分割される前の半導体ウェハー状態で、チップ単位で所望の位置に突起電極が設けられると共に、加熱処理によって分解昇華して消失される材料や加熱処理によって溶解して消失される材料を用いて犠牲層が設けられる。この突起電極と犠牲層が設けられた半導体ウェハー上が樹脂でコーティングされると共に、突起電極の位置には開口部が設けられて突起電極上に少なくとも1層以上の配線が生成される。ここで、犠牲層が消失されて、半導体ウェハー表面と樹脂間に空隙部が形成される。また、配線上に導電部材、例えば半田を用いた接続部が形成されると共に半導体ウェハーが複数の半導体チップに分割されて個々の半導体装置とされる。

【0018】

【発明の実施の形態】以下、この発明の実施の一形態について図を参照しながら詳細に説明する。図1は、半導体チップ20が例えば多層配線基板30にフリップチップ実装された実装基板の構成を示している。

【0019】半導体チップ20の半導体素子が形成された面（以下「回路面」という）21には、電源の供給や信号の入出力を行うためにパッド22が形成される。このパッド22上にはBLM(Ball Limiting Metal)層23が形成されると共に、BLM層23上には、高融点はんた等を用いてバンプ24が形成される。BLM層23は、バンプ24のパッド22への相互拡散を防止するためのものであり、例えばパッド22がアルミニウム電極であるときには、このアルミニウム電極上にチタン、白金、金の各金属皮膜層を積層してBLM層23が形成される。

【0020】多層配線基板30は、アルミナ、ムライト、ガラスセラミックなどのセラミック基板やポリイミド、テフロン、ポリオレフィンなどの比較的高耐熱性の有機基板を用いた基板層と所定の配線パターン層が積層されて形成される。また、多層配線基板30は、シリコン基板上に配線パターンの薄膜や絶縁膜を順次積層して形成された薄膜多層基板等も用いることができる。

【0021】この多層配線基板30の一方の面には、半導体チップ20に形成されているバンプ24と対応する位置にランド31が形成されており、ランド31上には共晶はんたを用いたプリコート層（図示せず）が形成されている。なお、多層配線基板30のランド31が形成された面を、ランド形成面32と呼ぶものとする。

【0022】半導体チップ20のバンプ24と多層配線基板30のランド31は、プリコート層の共晶はんたを加熱することではんだ接続されている。この多層配線基板30上にはんだ接続された半導体チップ20は封止部材40によってコーティングされている。この封止部材40は、半導体チップ20を周辺外気から遮断し、異物や水分等から半導体チップや配線等を保護するものであり、例えばポリイミド系の樹脂が用いられる。

【0023】ここで、半導体チップ20の回路面21と多層配線基板30のランド形成面32との間には、封止部材40によってコーティングされてから空隙部41が形成される。この空隙部41は、加熱処理によって分解昇華する材料、例えば米国の「The Electrochemical Society, Inc」発行の「Electrochemical and Solid-State Letter vol.1, No.1, July 1998」で示された「Air-Gaps for Electrical Interconnections」の方法で用いられているPNB(polynorbornene)、あるいは溶解させて消失可能な材料、例えば電子ワックス等の有機ロウ材を、多層配線基板30のランド形成面32側に半導体チップ20の回路面21と対向する位置に塗布して硬化させる。その後、封止部材40によってコーティングされてから加熱することにより、PNBを分解昇華させたり有機ロウ材を溶解して消失させることで空隙部41が形成される。

【0024】このように、多層配線基板30上にフリップチップ実装された半導体チップ20を封止部材40でコーティングして保護しても、半導体チップ20の回路面21と多層配線基板30のランド形成面32との間に空隙部41が設けられるので、半導体チップ20の回路面21に形成されている素子や配線あるいは多層配線基板に形成されている素子等と封止部材40との接触が防止される。このため、半導体チップ20の回路面21の例えば電界効果トランジスタでのノイズ特性の悪化や弾性表面波フィルタ等におけるフィルタ特性悪化、MMICや高速ディジタルIC等のマイクロストリップ線路やコプレナ線路におけるゲイン特性の悪化、受動素子の定数の変化や負荷特性の悪化等を招くことがなく、高速・高周波動作に適した特性を得ることができる。

【0025】次に、製造方法について図2を用いて説明する。図2Aに示すように、半導体チップ20の回路面21に形成されたパッド22上には、メッキ法や蒸着法等によってBLM層23を形成する。

【0026】その後、回路面21にフォトリソ膜を形成したのち、BLM層23の位置のフォトリソ膜が除去されるように露光および現像処理を行う。現像処理によって露出されたBLM層23上には、メッキ法あるいは蒸着法等によって高融点はんた層を形成する。この高融点はんた層の形成後にフォトリソ膜を剥離し

て、BLM層23上に形成された高融点はんだ層を溶融させることで、図2Bに示すように、BLM層23上に高融点はんだからなるバンプ24を形成できる。

【0027】多層配線基板30の一方の面には、図2Cに示すように、半導体チップ20のバンプ24と対応する位置にランド31を形成すると共に、ランド31の位置が開孔されたメタルマスクを用いて共晶はんだをランド31上に印刷する。この共晶はんだが印刷された多層配線基板30を所定の温度で加熱することにより、ランド31上にはんだプリコート層を形成できる。さらに、

空隙を設ける位置に合わせて空隙形成材料、すなわち加熱処理によって分解昇華するPNBや溶融する有機ロウ材等を印刷したのち硬化させて空隙形成層33を設ける。

【0028】次に、多層配線基板30のランド31上に形成されたはんだプリコート層にフラックスを塗布したのち、図2Dに示すように半導体チップ20の回路面21と多層配線基板30のランド形成面32を対向させると共に、多層配線基板30のランド31上に半導体チップ20の所定のバンプ24を載置できるように位置決め

を行う。

【0029】その後、半導体チップ20を多層配線基板30に載置すると共に加熱する。このとき、高融点はんだで形成されているバンプ24は溶融しないと共にランド31上に共晶はんだで形成されたプリコート層は溶融する温度で加熱したのち冷却することで、図2Eに示すように半導体チップ20のパッド22と多層配線基板30のランド31を接続することができる。このようにして半導体チップ20と多層配線基板30の物理的・電氣的接続が完了する。

【0030】次に、図2Fに示すように、封止部材40を用いて多層配線基板30に載置されている半導体チップ20をコーティングする。さらに、半導体チップ20が接続されている多層配線基板30を加熱して空隙形成層33の材料を分解昇華あるいは溶融して消失させることで、図2Gに示すように、空隙部41を有した図1に示す構造の実装基板を生成できる。

【0031】ここで、空隙形成層33が例えばPNBを用いて形成されている場合、窒素ガス雰囲気中で昇温レート $5^{\circ}\text{C}/\text{min}$ 程度で順次加熱温度を上昇させると共に、 $300^{\circ}\text{C}\sim 350^{\circ}\text{C}$ の加熱状態を1時間程度保持することにより、PNBを分解昇華させて空隙部41を形成することができる。また、空隙形成層33が電子ワックス等の有機ロウ材を用いて形成されている場合、有機ロウ材が溶融する温度（例えば $80^{\circ}\text{C}\sim 120^{\circ}\text{C}$ 程度）に加熱して有機ロウ材を溶融させると共に、多層配線基板30には穴を形成して、この溶融した有機ロウ材を穴から抜き出すことにより空隙部41を形成できる。

【0032】さらに、有機ロウ材を用いた場合のように

空隙形成層33を高温に加熱することなく空隙部41を形成することができる場合には、多層配線基板の耐熱性がセラミック基板等よりも低い安価な基板材料、例えばガラス布基材にエポキシ樹脂を含浸させた基板（アメリカ電気工業規格(National Electrical Manufacturers Association: NEMA)のFR-4に相当する基板）等を用いることができるので、実装基板を安価に構成することができる。

【0033】ところで、上述の実施の形態では、多層配線基板に半導体チップを搭載した実装基板について説明したが、実装基板をパッケージ化する場合においても同様にして、高速・高周波動作に適した特性を得ることができる。

【0034】図3は、実装基板をパッケージ化した場合の構成を示している。多層配線基板あるいは両面配線基板を用いた配線基板60の一方の面上には、上述の実施の形態と同様に、空隙部74を設けて半導体チップ20がフリップチップ実装される。ここで、配線基板60としては、アルミナ、ムライト、ガラスセラミックなどのセラミック基板やポリイミド、テフロン、ポリオレフィンなどの比較的高耐熱性の有機基板が用いられる。

【0035】また、パッケージ化した実装基板は、BGA(Ball Grid Array)構造あるいはCSP(Chip Size Package)構造とされており、配線基板60の半導体チップ20の載置面とは逆側の面には、はんだボール65がアレイ状に形成されている。

【0036】この半導体チップ20が実装された配線基板60は、封止部材70、例えばポリイミド主体の樹脂やアクリル系主体の樹脂、ゴム系主体の樹脂、ベンゾシクロブテン系樹脂主体の樹脂等でコーティングされることにより、半導体チップ20が周辺外気から遮断されて、異物や水分等から半導体チップや配線等が保護される。さらに、パッケージを形成する封止部材72例えばエポキシ系樹脂主体の樹脂やアクリル系樹脂主体の樹脂、ゴム系樹脂主体の樹脂等で半導体チップ20と配線基板60がモールドイングされて所定の形状に成形される。

【0037】このように、パッケージ化された実装基板を生成する場合にも、半導体チップ20の回路面21と配線基板60のランド形成面62との間に空隙部74を設けることで、上述の実施の形態と同様に高速・高周波動作に適した特性を得ることができる。

【0038】図4は、実装基板をパッケージ化する場合の製造方法を示している。この図4では、ワイヤーボンディング法を利用して半導体チップ20のパッド22上にAu(金)バンプ25を形成する方法を示している。なお、上述の実施の形態においても、以下に説明するように半導体チップ20のパッド22上にAuバンプ25を形成して多層配線基板30と接続しても良く、またパッケージ化された実装基板を生成する場合に、半導体チ

チップ20のパッド22上に上述の方法で高融点はんだを用いたバンプ24を形成して配線基板60と接続しても良いことは勿論である。

【0039】図4Aに示すように、半導体チップ20の回路面21に形成されたアルミニウムのパッド22上には、ワイヤーボンディング法を利用して図4Bに示すようにAuバンプ25を形成する。このAuバンプ25の形成方法を図5に示す。

【0040】図5は、ワイヤーボンディング法として例えばボールボンディング法を用いた場合のAuバンプ形成方法を示しており、図5Aに示すようにキャピラリ251の軸心には、Auワイヤ252（例えば線径は20μm程度）を通すための細穴253が設けられている。この細穴253を挿通するAuワイヤ252の先端にトーチ（図示せず）によってAuボール254を形成する。このAuボール254を半導体チップ20のパッド22上に載置したのち、図5Bに示すように矢印A方向に荷重を加え、さらに熱又は超音波振動あるいはその両方を与えて、パッド22とAuボール254を接続する。その後、キャピラリ251を軸方向の矢印B方向に引き上げると共にAuワイヤ252に張力を加えて、図5Cに示すようにパッド22とAuボール254が接続された状態で、Auワイヤ252を切断することにより、Auバンプ25を形成することができる。

【0041】なお、図5Dに示すように、スタンプ256等でAuバンプ25の切断部分を押圧して平坦化处理を行い、Auバンプ25の高さを所定のレベルに調整するものとすれば、図5Eに示すように半導体チップ上に複数のAuバンプ25を形成したときに、各Auバンプ25の高さを均一化することができる。このため、半導体チップ20をフリップチップ実装する際に、Auバンプ25を確実に配線基板60上のランド61と接続することができる。

【0042】また、上述の場合にはウェハーが切断されて個々の半導体チップに分割されてからバンプを形成するものとしたが、ウェハー段階でバンプを形成するものとしても良い。例えば、フォトリソ膜をウェハーに形成したのち、パッド22の位置のフォトリソ膜が除去されるように露光および現像処理を行う。この露光および現像処理によって露出されたパッド22上には、電界メッキ等によってAuメッキ層を選択的に成長させる。その後フォトリソ膜を除去することにより、ウェハー段階でバンプを形成することができる。

【0043】さらに、半導体チップ20がシリコン基板上にアルミニウム配線を形成したものだけでなく、ガリウム・ヒ素等の化合物半導体のようにガリウム・ヒ素基板上に金配線を形成したものであっても、BLM層を用いることなくバンプを形成することができる。

【0044】次に、配線基板60の一方の面には、図4Cに示すように、半導体チップ20のバンプと対応する

位置にランド61を形成する。ここで、半導体チップ20にAuバンプ25が形成されているときには、配線基板60のランド61上にはAuメッキ等によってAuコートを行う。さらに、空隙を設ける位置に合わせて空隙形成材料、すなわち加熱処理によって昇華するPNBや溶解する有機ロウ材等を印刷したのち硬化させて空隙形成層64を設ける。

【0045】次に、図4Dに示すように半導体チップ20の回路面21と配線基板60のランド形成面62を対向させると共に、配線基板60のランド61上に半導体チップ20の所定のAuバンプ25を載置できるように位置決めを行う。

【0046】その後、半導体チップ20を配線基板60に圧着して、さらに熱（100°C～200°C程度に加熱）又は超音波振動あるいはその両方を与えることによりAu表面を溶着させて、図4Eに示すように半導体チップ20のAuバンプ25と配線基板60のパッド51を接続する。このようにして、半導体チップ20と配線基板60の物理的・電気的接続が完了する。なお、半導体チップ20と配線基板60の接続は、AgSnはんだやAgをフィラーに用いた導電性接着剤あるいは異方性導電膜等を用いるものとしても良い。

【0047】次に、図4Fに示すように、ポリイミド樹脂等の封止部材70を用いて配線基板60に載置されている半導体チップ20を印刷法等によってコーティングする。さらに、半導体チップ20が接続されている配線基板60を加熱して空隙形成層64の材料を上記したように分解昇華あるいは溶解して消失させることで、図4Gに示すように、空隙部74を形成する。

【0048】このようにして空隙部74の形成が完了したときには、図4Hに示すように封止部材70の外側を、金型を用いた方法や印刷法等によってフィラーが添加されたエポキシ樹脂等の封止部材72でモールドイングし、さらに耐湿性を向上させる。

【0049】その後、図4Jに示すように、配線基板60のランド形成面62とは逆側の面にボール転写法や印刷法あるいはメルトバック法等によりはんだボール65を形成することで、図3に示す構造のパッケージ化された実装基板を生成できる。

【0050】また、封止部材72としてはフィラーが分散されている樹脂を用いることもできる。このフィラーは、シリカ粉末やアルミナ等のセラミック粉末あるいはフェライトやコバルト等の電波吸収材の粉末を用いるものとしても良い。ここで、電波吸収材の粉末をフィラーとして添加するものとしたら、パッケージ化された実装基板から放射される電磁雑音の低減やパッケージ化された実装基板における電磁干渉の影響を軽減させることができる。

【0051】また、上述の実施の形態では、半導体チップを配線基板上に搭載して樹脂封止を行い実装基板を形

成すると共に、この実装基板では半導体チップと実装基板間に空隙部を有する構成について説明したが、半導体チップ上に空隙部を設けてパッケージ化することにより、半導体チップとほぼ同じサイズとされたCSP (Chip Size Package) を生成することもできる。

【0052】図6はCSP化した場合の構成を示しており、半導体チップ20の回路面21には、電源の供給や信号の入出力を行うためのパッド22が形成されると共に、このパッド22上にはAuバンプ24が形成される。

【0053】また、回路面21上には、例えばポリイミド樹脂を用いた絶縁層が形成される。なお、絶縁層はAuバンプ24が露出するように形成される。ここで、回路面21と絶縁層との間には、上述したように加熱処理によって分解昇華する材料を利用して空隙部が形成される。絶縁層上にはAuバンプと接続された薄膜Cu等の配線層が形成されており、この配線層上にはんだボールが形成されている。

【0054】このように、半導体チップ20の回路面21と絶縁層間に空隙部41が設けられていることで、CSPを基板上にフリップチップ実装しても、高速・高周波動作に適した特性を得ることができる。

【0055】次に、図7を用いて上述のCSP化した場合の製造方法について説明する。図7Aは、複数の半導体チップが形成された半導体ウェハ80を示しており、半導体ウェハ80の回路面82にはアルミニウムのパッド83が形成されている。このパッド83上に図7Bに示すようにAuバンプ84を形成する。また図7Cに示すように、回路面82に分解昇華する材料を塗布して空隙形成層85を形成する。

【0056】その後、図7Dに示すように、感光性樹脂86例えば感光性ポリイミドを半導体ウェハ80上にスピコート法あるいは印刷法等によって塗布して硬化させることにより半導体ウェハ80表面の平坦化を行う。

【0057】次に、Auバンプの位置の感光性樹脂86が除去されるように露光および現像処理を行う。この露光および現像処理によって、図7Eに示すようにAuバンプ84の位置にバイアホール(via hole)87が形成される。また、半導体ウェハ80を加熱処理して、例えば空隙形成層85を形成するPNBを窒素ガス雰囲気中で昇温レート5°C/min程度で順次加熱温度を上昇させると共に、300°C~350°Cの加熱状態を1時間程度保持することにより分解昇華させて空隙部88を形成する。

【0058】その後、メッキ法等によって、図7Fに示すようにAuバンプと接続されるCu導体層89を各Auバンプ84毎に感光性樹脂86上に形成する。また、各Cu導体層89にはパッド部90を設けるものとする。なお、感光性樹脂86の表面を微小な凹凸状に粗化処理すれば、感光性樹脂86上に形成されたCu導体層

89と感光性樹脂86の接着強度を高めることができる。

【0059】また、形成されたCu導体層89を保護するために、半導体ウェハ80上にSiO₂膜やSOG等のパッシベーション膜を形成するものとしても良い。この場合には、パッド部90を開口するためにエッチング処理が行われる。

【0060】次に、Cu導体層89のパッド部90上には、ボール転写法等によって図7Gに示すようにはんだボール92を形成する。その後、半導体ウェハ80を切断して図7Hに示すように個々の半導体チップ81に分割することで、図6に示す構造のCSPを簡単に安価に生成することができる。

【0061】なお、フェライトやコバルト等の電波吸収材の粉末をフィラーとして添加したエポキシ樹脂等を用いて、分割された半導体チップ81を被包するように膜を形成すれば、放射される電磁雑音の低減や電磁干渉の影響を軽減させることができる。

【0062】このように、上述の実施の形態によれば、半導体チップの回路面と配線基板や絶縁層との間に空隙部が形成されるので、例えば容量成分の増加や表面音波の伝搬モードの変化等を招くことがなく、高速・高周波動作に適した特性を得ることができる。

【0063】

【発明の効果】この発明によれば、半導体チップの回路面と対向する配線基板上の位置に消失可能な犠牲層を設け、配線基板上に半導体チップを実装したのち犠牲層を消失させて、基板と半導体チップの回路面間に空隙部が形成される。このように、基板と半導体チップの回路面間に空隙部が形成されているので、半導体チップをコーティングする樹脂等によって容量成分の増加や表面音波の伝搬モードの変化等を招くことがなく、高速・高周波動作を可能とすることができる。

【0064】また、犠牲層は、加熱処理によって分解昇華して消失される材料や加熱処理によって熔融して消失される材料を用いて形成される。このため、加熱処理するだけで、犠牲層の材料が消失されて、犠牲層の部分を空隙部とすることができる。さらに、電波吸収材料の粉末をフィラーとして分散された樹脂によってコーティングされることから、電磁雑音の低減や電磁干渉の影響を軽減させることができる。

【図面の簡単な説明】

【図1】実装基板の構成を示す図である。

【図2】実装基板の製造方法を示す図である。

【図3】パッケージ化した実装基板の構成を示す図である。

【図4】パッケージ化した実装基板の製造方法を示す図である。

【図5】Auバンプの形成方法を示す図である。

【図6】CSP化した場合の構成を示す図である。

【図7】CSP化した場合の製造方法を示す図である。

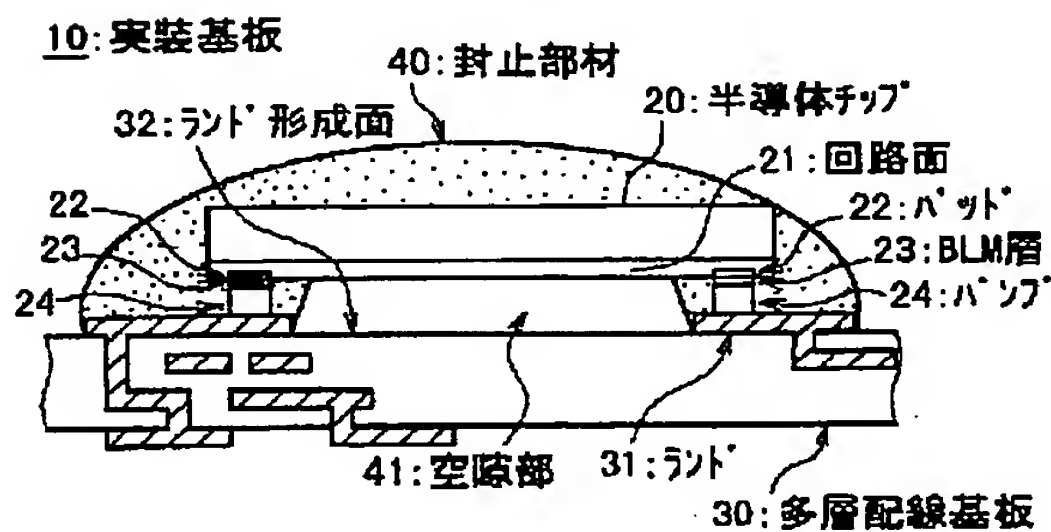
【図8】従来の実装基板の構成を示す図である。

【符号の説明】

10, 50, 100・・・実装基板、20, 81, 110・・・半導体チップ、21, 82・・・回路面、22, 51, 83, 111・・・パッド、23, 112・・・BLM層、24, 84, 113・・・バンプ、25・・・Auバンプ、30・・・多層配線基板、31, 61・・・ランド、32, 62・・・ランド形成面、3

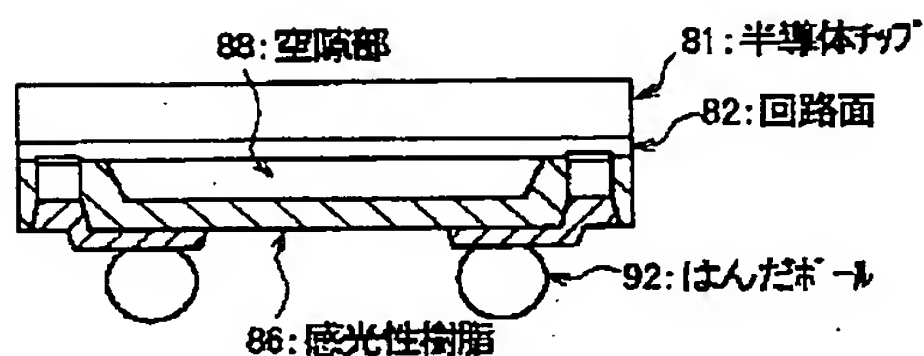
【図1】

実装基板の構成



【図6】

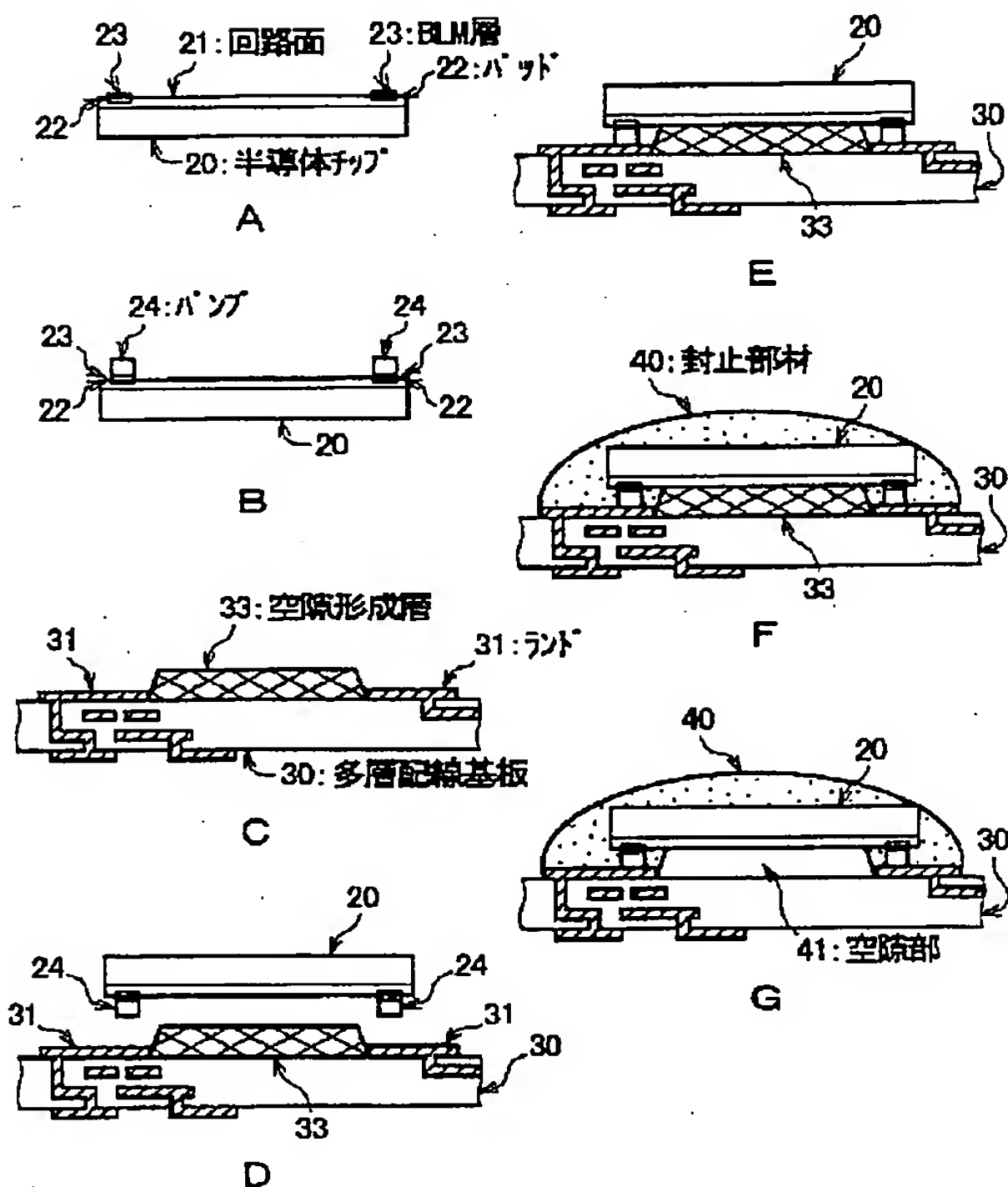
CSP化した場合の構成



3, 64, 85・・・空隙形成層、40, 70, 72・・・封止部材、41, 74, 88・・・空隙部、60・・・配線基板、65, 92・・・はんだボール、80・・・半導体ウェハ、86・・・感光性樹脂、89・・・Cu導体層、90・・・パッド部、120・・・基板、121・・・配線用電極、130・・・絶縁性樹脂、251・・・キャピラリ、252・・・Auワイヤ、253・・・細穴、254・・・Auボール、256・・・スタンプ

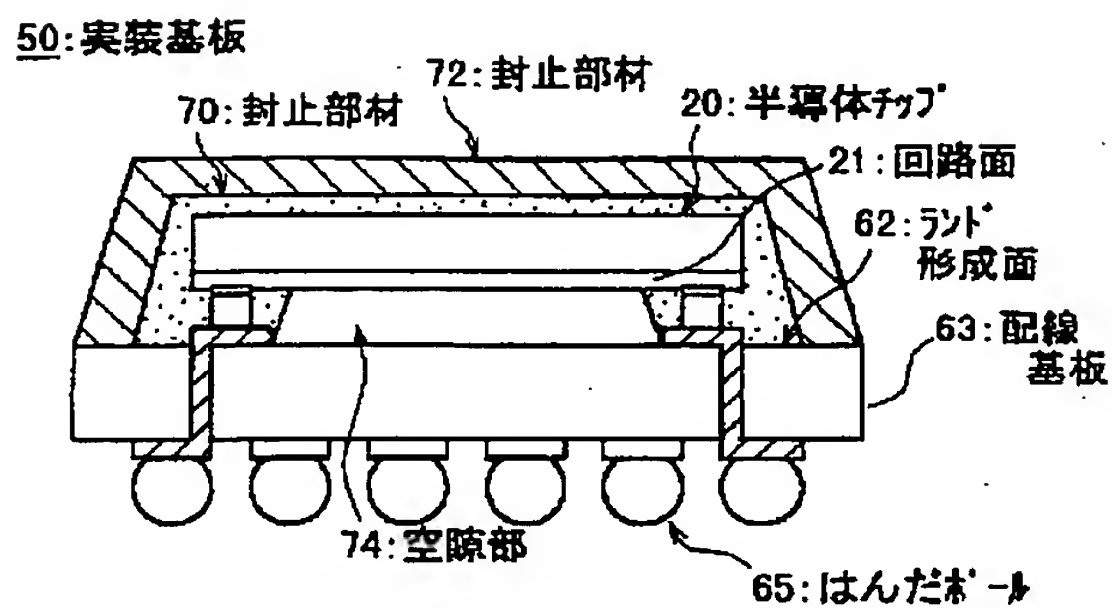
【図2】

実装基板の製造方法



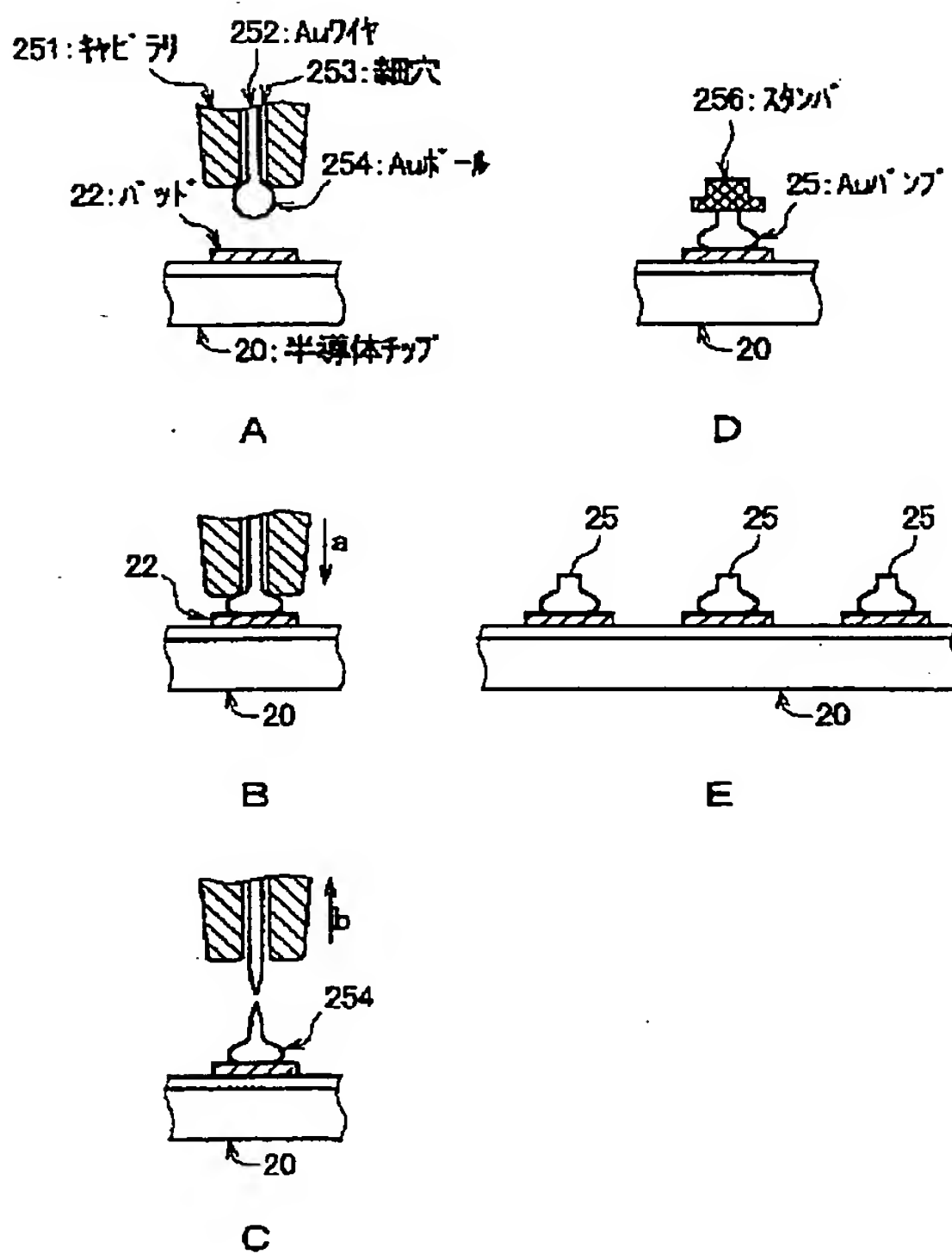
【図3】

パッケージ化した実装基板の構成



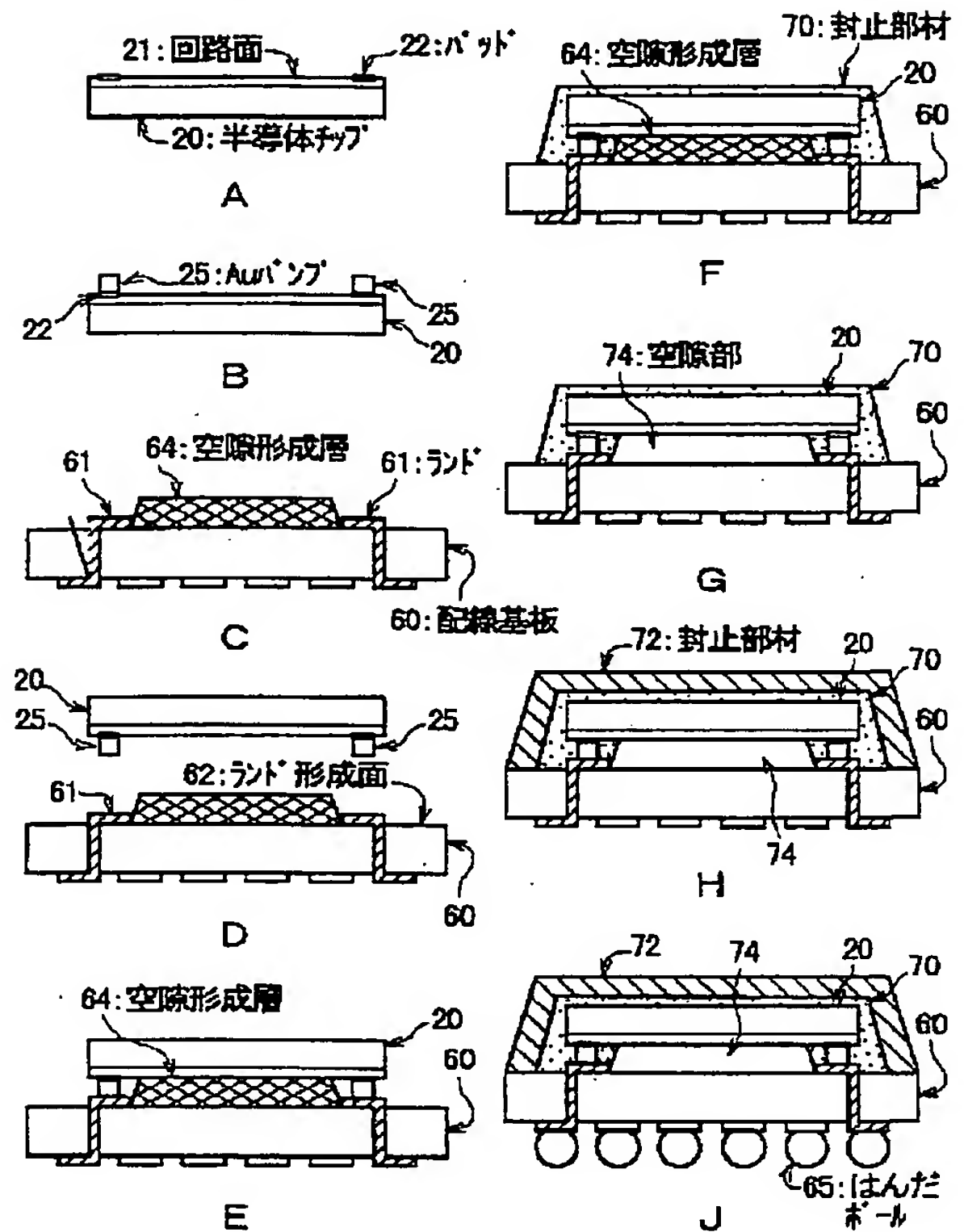
【図5】

Auバンプの形成方法



【図4】

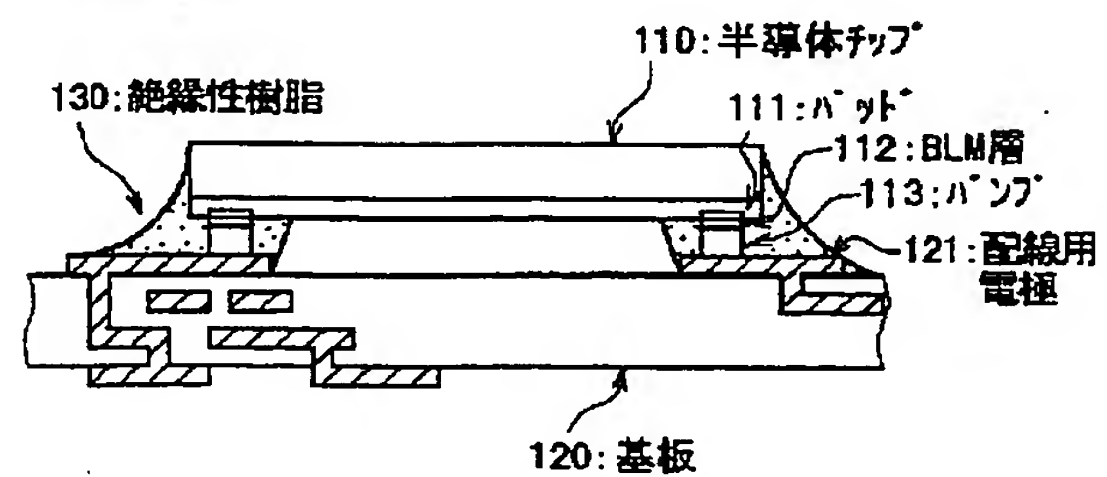
パッケージ化した実装基板の製造方法



【図8】

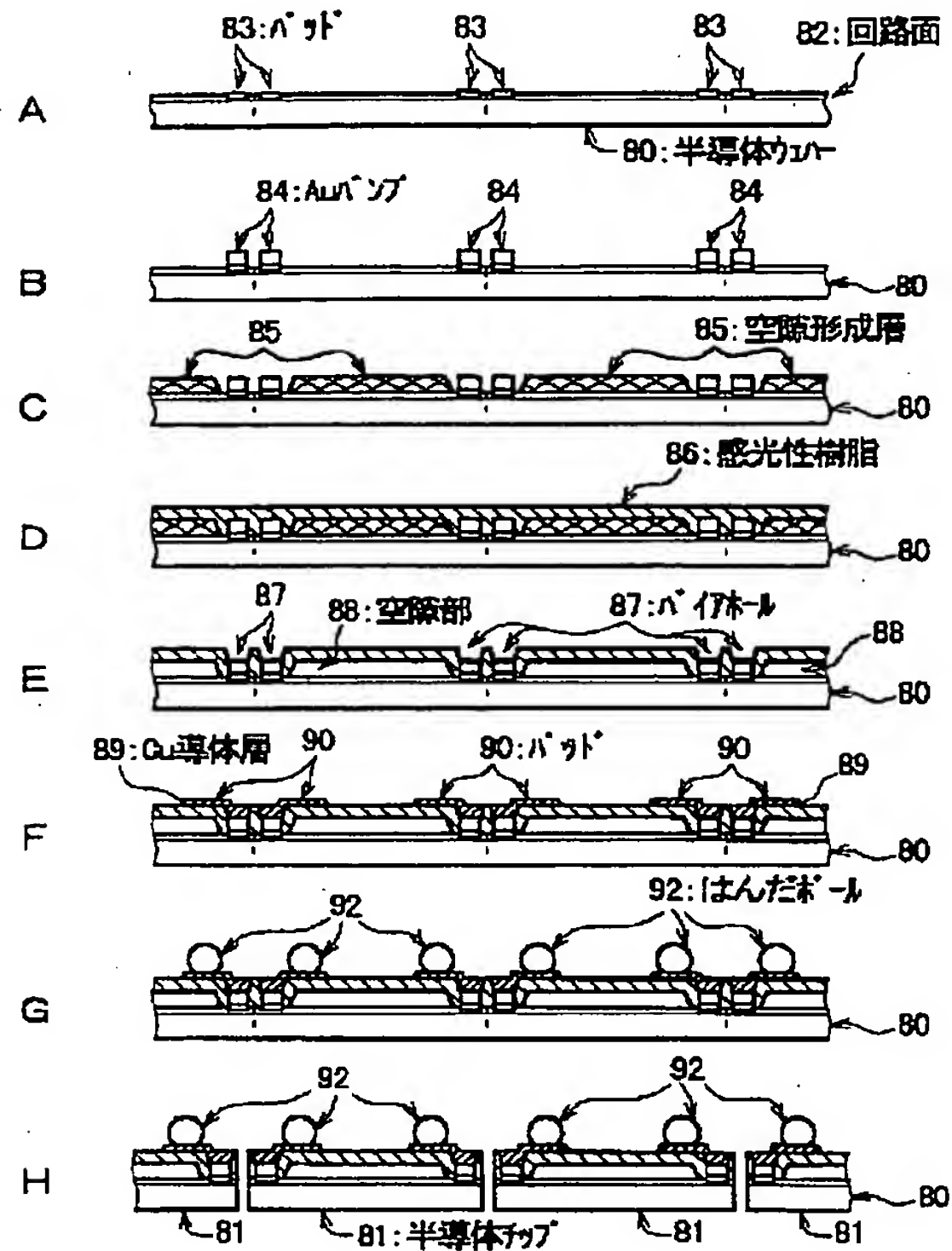
従来の実装基板

100: 実装基板



【図7】

CSP化した場合の製造方法



フロントページの続き

Fターム(参考) 4M109 AA01 BA04 CA05 EA02 EA12
 EA20 EB12 EC04 EC07 ED01
 ED03 EE08 EE15
 5F033 GG02 HH07 HH08 HH11 HH13
 KK08 KK13 RR22 RR27 RR30
 SS21 VV07 XX24 XX27
 5F044 KK02 KK04 LL01 LL04 RR17
 RR18 RR19